

PAT-NO: JP411186903A

DOCUMENT-IDENTIFIER: JP 11186903 A

TITLE: INTERNAL CLOCK SIGNAL GENERATOR AND SEMICONDUCTOR
MEMORY
DEVICE USING THE SAME

PUBN-DATE: July 9, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
RI, TEIBAI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRON CO LTD	N/A

APPL-NO: JP10187769

APPL-DATE: July 2, 1998

INT-CL (IPC): H03L007/08, G11C011/407

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an internal clock signal generator in which a delay-locked loop DLL or a phase-locked loop PLL is coupled with a synchronization delay circuit, and synchronization is locked at high speed with high accuracy and to provide the semiconductor memory device with the internal clock signal generator.

SOLUTION: A phase-locked loop PLL 202 or a delay-locked loop DLL is coupled with a synchronization delay circuit 201 such as an SDL. The synchronization delay circuit 201 generates a clock signal which is roughly synchronized with an external clock signal. The phase-locked loop PLL 202 or a delay-locked loop DLL generates an internal clock signal, accurately synchronized with an external clock signal based on the clock signal outputted from the synchronization delay circuit 201. Thus, the internal clock signal is phase-locked quickly to the external clock signal, thereby advantageously

increasing the accuracy of locking range.

COPYRIGHT: (C)1999,JPO

【特許請求の範囲】

【請求項1】 外部クロックに同期されたクロックを出力する同期遅延回路と、

前記同期遅延回路から出力されたクロック信号を入力とし、前記外部クロック信号にさらに精度よく同期された内部クロック信号を発生する遅延同期ループとを含むことを特徴とする内部クロック信号発生器。

【請求項2】 前記同期遅延回路は、SDL、SMD、及びHPLD中のいずれか1つであることを特徴とする請求項1に記載の内部クロック信号発生器。

【請求項3】 前記同期遅延回路は、直列に連結された多数の単位遅延手段と、前記単位遅延手段の各出力端から出力されたクロック信号中のいずれか1つを選択して前記遅延同期ループをイネブルさせるフラグ信号を発生する制御手段とを含み、

前記遅延同期ループは、前記フラグ信号に応じてイネブルされ、前記外部クロック信号の位相と整数倍で同期された内部クロック信号を発生することを特徴とする請求項1に記載の内部クロック信号発生器。

【請求項4】 前記同期遅延回路は、外部クロック信号を入力とし、遅延された第1クロック信号を発生するクロックバッファと、

前記第1クロック信号を入力とし、前記第1クロック信号が第1遅延時間遅延された第2クロック信号を出力する第1ダミークロック遅延部と、

前記第1ダミークロック遅延部の出力端から各々入力されたクロック信号を第2遅延時間遅延させる第1単位遅延手段が直列に連結された第1クロック遅延部と、

前記第1単位遅延手段から出力された第3クロック信号と前記第1クロック信号を入力とし、前記第3クロック信号と前記第1クロック信号との位相差を比較して第1制御信号及びフラグ信号を発生する比較器を含む比較部とを具備し前記遅延同期ループは、

前記フラグ信号に応答し各々入力されたクロック信号を第3遅延時間遅延させる直列に連結された第2単位遅延手段と、前記第2単位遅延手段の各出力端から前記第1制御信号に応答するスイッチング手段を具備し、前記スイッチング手段中のスイッチングオンされたいずれか1つが前記第2単位遅延手段から出力された第4クロック信号中のいずれか1つを出力する第2クロック遅延部と、

前記スイッチングオンされたスイッチング手段から出力されたクロック信号を入力とし、一定時間遅延させた後内部クロック信号を発生するクロックドライバと、

前記内部クロック信号を入力とし、第4遅延時間遅延させる第2ダミークロック遅延部と、

前記第2ダミークロック遅延部から出力されたクロック信号と前記第1クロック信号を入力とし、その位相差を検出する位相検出器と、

前記位相検出器の出力端に連結され、前記第3遅延時間

を制御するための制御電圧を出力する低帯域濾波器とを含むことを特徴とする請求項1に記載の内部クロック信号発生器。

【請求項5】 前記第1遅延時間は、前記クロックバッファの遅延時間と前記クロックドライバの遅延時間を合せた時間であることを特徴とする請求項4に記載の内部クロック信号発生器。

【請求項6】 前記第4遅延時間は、前記クロックバッファの遅延時間と同じであることを特徴とする請求項4に記載の内部クロック信号発生器。

【請求項7】 前記第2クロック遅延部は、前記第2単位遅延手段が前記制御電圧及び前記フラグ信号によって制御される電圧制御遅延線であることを特徴とする請求項4に記載の内部クロック信号発生器。

【請求項8】 前記第2クロック遅延部は、前記第3クロック信号中前記第1クロック信号の位相と最も一致するクロック信号を出力することを特徴とする請求項4に記載の内部クロック信号発生器。

【請求項9】 前記比較器の各々は、

前記第1クロック信号が同一論理状態である場合に、前記第3クロック信号をラッチする第1ラッチ手段と、

前記第1クロック信号が違った論理状態である場合に、前記第1ラッチ手段にラッチされたクロック信号を入力とし、前記スイッチング手段中のいずれか1つをスイッチングオンするための第1制御信号を発生する第2ラッチ手段とを具備し、

前記第1制御信号の組合によって前記フラグ信号を発生することを特徴とする請求項4に記載の内部クロック信号発生器。

【請求項10】 前記第3遅延時間は、前記制御電圧によって前記第2遅延時間ないし前記第2遅延時間の2倍であることを特徴とする請求項4に記載の内部クロック信号発生器。

【請求項11】 外部クロック信号に同期されたクロックを出力する同期遅延回路と、

前記同期遅延回路から出力されたクロック信号を入力とし、前記外部クロック信号にさらに精度よく同期された内部クロック信号を発生する位相同期ループとを含むことを特徴とする内部クロック信号発生器。

【請求項12】 前記同期遅延回路は、SDL、SMD、及びHPLD等であることを特徴とする請求項11に記載の内部クロック信号発生器。

【請求項13】 前記同期遅延回路は、直列で連結された多数の単位遅延手段と、前記単位遅延手段の各出力端に出力されたクロック信号中のいずれか1つを選択して前記位相同期ループをイネブルさせるフラグ信号を発生する制御手段とを含み、

前記位相同期ループは、前記フラグ信号によりイネブルされ前記外部クロック信号の位相と整数倍に同期された内部クロック信号を発生することを特徴とする請求項

10

20

30

40

50

11に記載の内部クロック信号発生器。

【請求項14】 前記同期遅延回路は、

外部クロック信号を入力とし遅延された第1クロック信号を発生するクロックバッファと、

前記第1クロック信号を入力とし、前記第1クロック信号が第1遅延時間遅延された第2クロック信号を出力する第1ダミークロック遅延部と、

前記第1ダミークロック遅延部の出力端から各々入力されたクロック信号を第2遅延時間遅延させる第1単位遅延手段が直列で連結された第1クロック遅延部と、

前記第1単位遅延手段から出力された第3クロック信号と前記第1クロック信号を入力とし、前記各第3クロック信号と前記第1クロック信号の位相差を比較し第1制御信号及びフラグ信号を発生する比較器を含む比較部とを具備し、

前記位相同期ループは、

前記フラグ信号に応答し各々入力されたクロックを第3遅延時間遅延させる直列で連結された第2単位遅延手段と、前記第2単位遅延手段の各出力端で前記第1制御信号に応答するスイッチング手段とを具備し、前記スイ

ッチング手段中にスイッチングオンされたいずれか1つは前記第2単位遅延手段から出力された第4クロック信号中のいずれか1つを出力する第2クロック遅延部と、

前記スイッチングオンされたスイッチング手段から出力されたクロック信号を入力とし一定時間遅延させた後に内部クロック信号を発生するクロックドライバと、

前記内部クロック信号を入力とし、第4遅延時間遅延させる第2ダミークロック遅延部と、

前記第2ダミークロック遅延部から出力されたクロック信号を反転させ前記反転されたクロック信号を前記第2クロック遅延部へ出力するインバータと、

前記第1クロック信号と前記インバータから出力されたクロック信号を入力としその位相と周波数の差を検出する位相・周波数検出器と、

前記位相・周波数検出器の出力端に連結され前記第3遅延時間を制御するための制御電圧を出力する低帯域濾波器とを含むことを特徴とする請求項11に記載の内部クロック信号発生器。

【請求項15】 前記第1遅延時間は、前記クロックバッファの遅延時間と前記クロックドライバの遅延時間を合せた時間の2倍であることを特徴とする請求項14に記載の内部クロック信号発生器。

【請求項16】 前記第4遅延時間は、前記クロックバッファの遅延時間と同じであることを特徴とする請求項14に記載の内部クロック信号発生器。

【請求項17】 前記第2クロック遅延部は、前記制御電圧により制御され前記クロックバッファ、第2ダミークロック遅延部、及びインバータと一緒に発振器を形成することを特徴とする請求項14に記載の内部クロック信号発生器。

【請求項18】 前記第3遅延時間は、前記第2遅延時間の1/2であることを特徴とする請求項14に記載の内部クロック信号発生器。

【請求項19】 前記比較器の各々は、

前記第1クロック信号が同一論理状態である場合に、前記第3クロック信号をラッチする第1ラッチ手段と、前記第1クロック信号が違った論理状態である場合に、前記第1ラッチ手段にラッチされたクロック信号を入力とし前記スイッチング手段中のいずれか1つをスイッチングするための第1制御信号を発生する第2ラッチ手段とを具備し、

前記第1制御信号の組合によってフラグ信号を発生することを特徴とする請求項14に記載の内部クロック信号発生器。

【請求項20】 内部クロック信号を外部クロック信号に正確に同期させる内部クロック信号発生器を有する半導体メモリ装置であって、

前記内部クロック信号発生器が、

外部クロックに同期されたクロックを出力する同期遅延回路と、

前記同期遅延回路から出力されたクロック信号を入力とし、前記外部クロック信号にさらに精度よく同期された内部クロック信号を発生する遅延同期ループまたは位相同期ループとを含むことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に係り、特に内部クロック信号を外部クロック信号に正確に同期させる回路を具備する内部クロック信号発生器及びそれを有する半導体メモリ装置に関するものである。

【0002】

【従来の技術】外部クロック信号に同期され動作する半導体メモリまたは中央処理装置(CPU)などの半導体装置は、クロックバッファとクロックドライバを利用して内部クロック信号を発生するが、前記内部クロック信号は前記外部クロック信号に比べ一定時間遅延されるので、半導体装置の高周波数動作では性能を低下させてしまう。

【0003】言い換えれば、アクセス時間(tAC)、すなわち外部クロック信号の入力後からデータが出力されるために要求される時間は、常に外部クロック信号発生後に内部クロック信号が発生する時間ほど長くなる。

【0004】したがって、半導体装置の性能低下を防止するためには、内部クロック信号を外部クロック信号に正確に同期させる回路が要求される。このため、内部クロック信号発生器には遅延同期ループ(DLL; Delay Locked Loop)と位相同期ループ(PLL; Phase Locked Loop)とが使用される。

【0005】図1は従来技術による遅延同期ループ(DL

L)の概略図である。前記図1を参照すれば、遅延同期ループ(DLL)は、位相検出器(Phase Detector)1、低帯域濾波器(LPF; Low Pass Filter)2、及び電圧制御遅延線(Voltage-Controlled Delay Line)3を含む。

【0006】前記位相検出器1は、外部クロック信号(Ext. CLK)と内部クロック信号(Int. CLK)との位相を比較してその差を検出し、前記低帯域濾波器2は、前記位相検出器1の出力端に連結されて、前記電圧制御遅延線3の遅延時間を調整するための制御電圧(Vcont)を発生し、前記電圧制御遅延線3は直列に連結された多数のインバータを含み、前記外部クロック信号(Ext. CLK)を入力とし、一定時間遅延された内部クロック信号(Int. CLK)を出力する。

【0007】しかし、内部クロック信号(Int. CLK)を前記外部クロック信号(Ext. CLK)に同期させるためには、前記外部クロック信号(Ext. CLK)のサイクル時間の数百倍の時間が要求されて動作電流も数十mAになるので、前記遅延同期ループ(DLL)を通常の半導体装置に適用し難い問題点がある。

【0008】図2は従来技術による位相同期ループの概略図である。前記図2を参照すれば、位相同期ループ(PLL)は、位相・周波数検出器(Phase・Frequency Detector)11、低帯域濾波器(LPF)12、及び電圧制御遅延線13を含む。

【0009】前記位相・周波数検出器11は、外部クロック信号(Ext. CLK)と内部クロック信号(Int. CLK)との位相及び周波数を比較してその差を検出し、前記低帯域濾波器12は、前記位相検出器11の出力端に連結されて、前記電圧制御遅延線13の遅延時間を調整するための制御電圧(Vcont)を発生する。そして、前記電圧制御遅延線13は、前記制御電圧(Vcont)に応答して内部クロック信号(Int. CLK)を出力し、前記内部クロック信号(Int. CLK)は再び前記電圧制御遅延線13に入力される。したがって、前記電圧制御遅延線13はリング発振器(Ring Oscillator)の役割をする。

【0010】前記位相同期ループ(PLL)も前記図1に示された遅延同期ループ(DLL)と同様な問題点を有するので、最近では前記位相同期ループ(PLL)と遅延同期ループ(DLL)を結合することによって、前記位相同期ループ(PLL)の速い同期時間(Locking Time)と前記遅延同期ループ(DLL)の広い同期範囲(Locking Range)を利用する技術が試みられているが、上記の問題点を解決するには至っていない。

【0011】したがって、単純な遅延手段を使用して内部遅延時間を外部クロックのサイクル時間の整数倍にすることによって、外部クロック信号の位相と内部クロック信号との位相とを一致させる同期遅延回路(Synchronized Delay Circuit)を利用するようになった。

【0012】前記同期遅延回路としては、SDL(Synchronous Delay Line)、SMD(Synchronous Mirror Delay)、

HPLD(Hierarchical Phase Locking Delay)等がある。

【0013】図3は従来技術による同期遅延線(SDL)の概略図である。前記図3を参照すれば、前記同期遅延線は、クロックバッファ21、ダミークロック遅延部22、第1クロック遅延部23、比較部24、第2クロック遅延部25、及びクロックドライバ26を含む。

【0014】前記クロックバッファ21は、外部クロック(Ext. CLK)を入力とし前記外部クロック(Ext. CLK)がバッファリングされ、第1遅延時間(d1)遅延された第1クロック(CLK1)を出力する。この時、tCKは前記外部クロック(Ext. CLK)のサイクル時間を示す。

【0015】前記ダミークロック遅延部22は、前記外部クロック信号(Ext. CLK)と内部クロック信号(Int. CLK)との位相差を前記サイクルタイム(tCK)の整数倍に調節するためのものであり、前記第1クロック信号(CLK1)を前記第1遅延時間(d1)と前記クロックドライバ26で遅延される第2遅延時間(d2)とを合せた時間ほど遅延した、第2クロック信号(CLK2)を出力する。

【0016】前記第1クロック遅延部23は、直列に連結された第1単位遅延手段27を含み、前記第1単位遅延手段27の各出力端では前記第2クロック信号(CLK2)を相異なるように遅延させた第3クロック信号(CLK3)が出力される。

【0017】前記比較部24は、前記第1クロック信号(CLK1)と前記第3クロック信号(CLK3)を比較する多数の比較器28を含み、前記第3クロック信号(CLK3)中で前記第1クロック信号(CLK1)に対し前記サイクル時間(tCK)ほど遅延された第4'クロック信号(CLK4')をラッチする。したがって、前記第4'クロック信号(CLK4')は、前記第2クロック信号(CLK2)に比べ前記サイクル時間(tCK)から前記第1及び第2遅延時間(d1、d2)を差引いた時間(tCK-(d1+d2))ほど遅延されている。

【0018】前記第2クロック遅延部25は、直列に連結された第2単位遅延手段29を含み、前記サイクル時間(tCK)から前記第1及び第2遅延時間(d1、d2)を差引いた時間ほど前記第1クロック信号(CLK1)を遅延させ、第5'クロック信号(CLK5')を出力する。

【0019】前記クロックドライバ26は、前記第5'クロック信号(CLK5')を入力とし第2遅延時間(d2)ほど遅延された内部クロック信号(Int. CLK)を出力し、前記内部クロック信号(Int. CLK)は半導体メモリ装置内の回路をドライビングする。

【0020】したがって、前記同期遅延線は、内部クロック信号(Int. CLK)を外部クロック信号(Ext. CLK)に同期させるため、前記第1クロック信号(CLK1)がクロックバッファ21で遅延される第1遅延時間(d1)とクロックドライバ26で遅延される第2遅延時間(d2)との合計(d1+d2)ほど遅延されるダミークロック遅延部22を追加し、前記第3クロック信号(CLK3)中で前記第1クロック信号(CLK1)より前記外部クロック信号(Ext. CLK)のサイクル時間(tC

K)の整数倍遅延されたクロックが前記第2クロック信号(CLK2)から遅延される時間を測定し、その測定された時間ほど第2クロック遅延部25で前記第4'クロック信号(CLK4')により前記第1クロック信号(CLK1)を遅延させることによって、前記内部クロック信号(Int. CLK)は前記外部クロック信号(Ext. CLK)に同期される。

【0021】図4は前記図3に示された同期遅延線の動作状態を示したタイミング図である。

【0022】前記図4を参照すれば、第1クロック信号(CLK1)は外部クロック信号(Ext. CLK)より第1遅延時間(d1)ほど遅延され、第2クロック信号(CLK2)は前記第1クロック信号(CLK1)より第1遅延時間(d1)と第2遅延時間(d2)を合せた時間(d1+d2)ほど遅延される。

【0023】第3クロック信号(CLK3)は前記第2クロック信号(CLK2)と比較してみると第1単位遅延手段(図3の27)の遅延時間の整数倍ほど各々遅延され、第4'クロック信号(CLK4')は前記第3クロック信号(CLK3)中で前記第1クロック信号(CLK1)より前記外部クロック信号(Ext. CLK)のサイクル時間(tCK)の整数倍(例えば1倍)遅延している。

【0024】第5'クロック信号(CLK5')は前記第1クロック信号(CLK1)より前記外部クロック信号(Ext. CLK)のサイクル時間(tCK)から前記第1遅延時間(d1)と第2遅延時間(d2)を差引いた時間(tCK-(d1+d2))ほど遅延され、内部クロック信号(Int. CLK)は前記第5'クロック信号(CLK5)が第2遅延時間(d2)ほど遅延されたクロックである。

【0025】したがって、前記内部クロック信号(Int. CLK)が前記外部クロック信号(Ext. CLK)より遅延された時間は前記外部クロック信号(Ext. CLK)のサイクル時間(tCK)の2倍(2tck ; d1+(d1+d2)+(tck-(d1+d2))+tck-(d1+d2))=2tck)になることによって、前記内部クロック信号(Int. CLK)は前記外部クロック信号(Ext. CLK)に同期される。

【0026】

【発明が解決しようとする課題】しかしながら、前述した従来の同期遅延線(SDL)は、位相同期ループ(PLL)及び遅延同期ループ(DLL)のようなクローズドループ方式(closed loop type)でないオープンループ方式(open loop type)であり、同期時間が外部クロック信号のサイクル時間(tCK)の整数倍になって位相同期ループ(PLL)及び遅延同期ループ(DLL)より速い長所がある反面、同期範囲のマージンが小さくて精度が低い短所がある。

【0027】本発明の目的は、遅延同期ループ(DLL)と同期遅延回路が結合された高速で精度よく同期可能な内部クロック信号発生器及びそれを有する半導体メモリ装置を提供することにある。本発明の他の目的は、位相同期ループ(PLL)と同期遅延回路が結合された高速で精度よく同期可能な内部クロック信号発生器及びそれを有する半導体メモリ装置を提供することにある。

【0028】

【課題を解決するための手段】前記目的を達成するために本発明は、外部クロック信号に同期されたクロックを出力する同期遅延回路、及び前記同期遅延回路から出力されたクロックを入力とし前記外部クロックにさらに精度よく同期された内部クロックを発生する遅延同期ループ(DLL)を含むことを特徴とする内部クロック信号発生器及びそれを有する半導体メモリ装置を提供する。

【0029】前記他の目的を達成するために本発明は、外部クロックに同期されたクロックを出力する同期遅延回路、及び前記同期遅延回路から出力されたクロックを入力とし前記外部クロックにさらに精度よく同期された内部クロックを発生する位相同期ループ(PLL)を含むことを特徴とする内部クロック信号発生器及びそれを有する半導体メモリ装置を提供する。

【0030】前記同期遅延回路が結合された遅延同期ループ(DLL)及び前記同期遅延回路が結合された位相同期ループ(PLL)で、前記同期遅延回路は直列に連結された多数の単位遅延手段と、前記単位遅延手段の各出力端に現れたクロック中いずれか一つを選択し前記遅延同期ループまたは前記位相同期ループをイネーブルさせるフラグ信号(Flag)を発生する制御手段とを含み、前記遅延同期ループまたは位相同期ループは、前記フラグ信号によってイネーブルされ前記外部クロックの位相と整数倍に同期された内部クロックを発生することが望ましい。

【0031】このような構成の本発明によれば、位相同期ループ(PLL)及び遅延同期ループ(DLL)をSDLのような同期遅延回路と結合することによって、内部クロック信号が外部クロック信号に位相同期される時間が速くて同期範囲の精度が大きくなる。

【0032】

【発明の実施の形態】以下、添附した図面を参照して本発明の実施の形態を詳細に説明する。

【0033】図5は、本発明の第1の実施の形態による内部クロック信号発生器の概略図である。

【0034】前記図5を参照すれば、遅延同期ループ(DLL)102は同期遅延回路101と結合され、前記同期遅延回路101は外部クロック信号(Ext. CLK)に対し整数倍、例えば2倍のサイクル時間が遅延されその位相が粗同期された(coarse locking)クロック信号を発生し、前記遅延同期ループ102は前記同期遅延回路101から出力されたクロック信号を入力し、その位相が前記外部クロック信号(Ext. CLK)にさらに精密同期(fine phase locking)された内部クロック信号(Int. CLK)を発生する。

【0035】前記同期遅延回路101は、同期遅延線(SDL)として、クロックバッファ121、第1ダミークロック遅延部122、第1クロック遅延部123、及び比較部124を含み、前記遅延同期ループ102は、位相検出器111、低帯域濾波器112、第2ダミークロック遅延部113、クロックドライバ114、及び第2クロック遅延部115を含む。

【0036】前記クロックバッファ121は、外部クロッ

ク信号(Ext. CLK)を入力し、前記外部クロック信号(Ext. CLK)がバッファリングされ第1遅延時間(d1)遅延された第1クロック信号(CLK1)を出力し、差動増幅器と直列で連結された多数のインバータ(図示せず)を含む。この時、tCKは前記外部クロック信号(Ext. CLK)のサイクル時間を示す。

【0037】前記第1ダミークロック遅延部122は、前記外部クロック信号(Ext. CLK)と内部クロック信号(Int. CLK)との位相差を前記サイクル時間(tCK)の整数倍に調節するためのものであり、前記遅延同期ループ102に含まれたクロックドライバ114の第2遅延時間(d2)と前記第1遅延時間(d1)とを合せた時間(d1+d2)ほど前記第1クロック信号(CLK1)を遅延させる。

【0038】前記第1クロック遅延部123は、直列に連結された多数の第1単位遅延手段127を含み、前記第1単位遅延手段127の各出力端では相互前記第1単位遅延手段127の整数倍ほど異なるように遅延された第3クロック信号(CLK3)が出力される。

【0039】前記比較部124は、前記クロックバッファ121から出力された第1クロック信号(CLK1)と前記第3クロック信号(CLK3)を比較する多数の比較器128を含み、前記比較器128は前記第3クロック信号(CLK3)と前記第1クロック信号(CLK1)の位相を比較して、前記遅延同期ループ102をイネーブルするためのフラグ信号を出力する。

【0040】前記同期遅延回路101には、前記SDL以外にSMD、HPLD等を使用できる。

【0041】前記第2クロック遅延部115は、直列に連結された多数の第2単位遅延手段116を含み、前記第2単位遅延手段116から出力されるクロック中のいずれか1つである第4クロック信号(CLK4)を出力する。

【0042】前記第4クロック信号(CLK4)は、前記第1クロック信号(CLK1)より前記サイクル時間(tCK)から前記第1及び第2遅延時間(d1、d2)を差引いた時間(tCK-(d1+d2))ほど遅延されたクロックである。

【0043】前記クロックドライバ114は、前記第4クロック信号(CLK4)を入力とし第2遅延時間(d2)ほど遅延された内部クロック信号(Int. CLK)を出力し、前記内部クロック信号(Int. CLK)は半導体メモリ装置内の回路をドライビングする役割をする。

【0044】前記第2ダミークロック遅延部113は、前記内部クロック信号(Int. CLK)を前記外部クロック信号(Ext. CLK)のサイクル時間の整数倍、例えば2倍程度に遅延させるためのものであり、前記内部クロック信号(Int. CLK)を前記第1遅延時間(d1)ほど遅延させた第5クロック信号(CLK5)を出力する。言い換えれば、前記第2ダミークロック遅延部113で前記内部クロック信号(Int. CLK)を前記第1遅延時間(d1)ほど遅延させることは、位相検出器111の他の入力信号は前記第1クロック信号(CLK1)であるから、前記外部クロック信号(Ext. CLK)に対し第1遅延

時間(d1)ほど遅延された前記第1クロック信号(CLK1)に対して補償するためのものである。

【0045】前記位相検出器111は、前記第1クロック信号(CLK1)と前記第5クロック信号(CLK5)との位相を比較してその差を検出し、前記低帯域濾波器112は、前記位相検出器111の出力端に連結されて、前記第2クロック遅延部115の遅延時間を制御するための制御電圧(Vcont)を発生する。

【0046】したがって、前述した本実施の形態による内部クロック発生器は、前記同期遅延回路で外部クロック信号と粗同期(coarse locking)されたクロック信号を発生した後、前記DLLがさらに精密同期された内部クロック信号を発生することによって、前記遅延同期ループにおける同期時間が速くなる。

【0047】図6は、前記図5に示された同期遅延回路101、第2クロック遅延部115、及びクロックドライバ114の回路図である。

【0048】前記図6を参照すれば、まず前記同期遅延回路101は、外部クロック信号(Ext. CLK)を入力し第1遅延時間(d1)遅延された第1クロック信号(CLK1)を出力するクロックバッファ121、多数のインバータを含み、前記第1クロック信号(CLK1)を入力し前記クロックドライバ114で遅延される第2遅延時間(d2)と前記第1遅延時間(d1)を合せた時間(d1+d2)ほど前記第1クロック信号(CLK1)が遅延された第2クロック信号(CLK2)を出力する第1ダミークロック遅延部122、及び各々2個のインバータを含む第1単位遅延手段127が直列で連結され、前記第1単位遅延手段127の各出力端には前記第1単位遅延手段127の整数倍で異なるように遅延された第3クロック信号(CLK3)を出力するクロック遅延部123を含む。

【0049】比較器128は、前記第1ダミークロック遅延部122及び前記第1単位遅延手段127の出力端に連結され、前記第1クロック信号(CLK1)の論理ハイ及び論理ローに各々応答する第1及び第2伝送ゲート131、133と第1及び第2ラッチ手段132、134とを含む。

【0050】前記第1伝送ゲート131がスイッチングオンされる場合、前記第1ラッチ手段132は前記第1ダミークロック遅延部122から出力された第2クロック信号(CLK2)または第1単位遅延手段127各々から出力された第3クロック信号(CLK3)をラッチし、前記第2伝送ゲート133がスイッチングオンされる場合、前記第2ラッチ手段134は前記第1ラッチ手段132にラッチされたクロック信号を入力とし、第2単位遅延手段116の各出力端に形成された第3伝送ゲート137の少なくともいずれか1つ以上をスイッチングオンするための第1制御信号(F1~Fn)と、スイッチングオンされた第3伝送ゲート137中の一番目を除いた第3伝送ゲートをスイッチングオフするための第2制御信号(A1~An)を出力する。

【0051】前記第1制御信号(F1~Fn)は、前記第3クロック信号(CLK3)のライジングエッジ及びフォールリ

11

ングエッジが前記第1クロック信号(CLK1)の立上りエッジ及び立下りエッジと同一な場合にのみ論理ローになる。

【0052】したがって、前記比較器128中で一番目の論理ローである第1制御信号(F)を出力する第1比較器は、論理ローである第2制御信号(A)を出力することによって、前記第1比較器以後の比較器は論理ハイである第1制御信号(F)と論理ローである第2制御信号(A)を出力する。

【0053】第2クロック遅延部(図5の115)は、第2単位遅延手段116、及び伝送ゲートとインバータとで構成されたスイッチング手段137を含み、前記第2単位遅延手段116は、各々直列で連結された第1及び第2インバータ141、142、前記第1インバータ141の出力端と接地電圧(VS)間に順序で形成された第1及び第2NMOSトランジスタ143、144とキャパシタ145を具備する。

【0054】詳細に説明すれば、前記第1NMOSトランジスタ143はゲートにフラグ信号が入力され、ドレインは前記第1インバータ141の出力端に連結される。前記第2NMOSトランジスタ144のゲートには制御電圧(Vcont)が入力され、ドレインは前記第1NMOSトランジスタ143のソースに連結される。前記キャパシタ145は、前記第2NMOSトランジスタ144のソースと接地電圧間に連結される。

【0055】前記フラグ信号が論理ハイである状態で前記制御電圧(Vcont)が論理ローになれば、前記第2NMOSトランジスタ144はターンオフされ、前記第2単位遅延手段116の遅延時間は前記第1単位遅延手段127の遅延時間と同一であり、前記制御電圧(Vcont)が論理ハイになれば前記第2NMOSトランジスタ144はターンオンされ、前記第2単位遅延手段116の遅延時間は前記第1単位遅延手段127の遅延時間の2倍となる。

【0056】したがって、前記第2単位遅延手段116の各遅延時間は前記制御電圧(Vcont)によって線形(linear)に制御することができ、その遅延時間が前記第1単位遅延手段127の2倍より小さいので、従来に比べ同期時間がはるかに速くなる。

【0057】図7は、前記図5に示されたフラグ信号を発生するフラグ信号発生器の回路図である。

【0058】前記図7を参照すれば、前記フラグ信号発生器は、各比較器(図6の128)から出力された第2制御信号(A1~An)を入力とする第1NANDゲート151、前記第1NANDゲート151から出力された信号とリセット信号(/リセット)を入力とする第2NANDゲート152、及び前記第2NANDゲート152から出力された信号を反転するインバータ153を含む。前記リセット信号(/リセット)は、半導体メモリ装置の外部から遅延同期ループ(図5の102)をディスエーブルするためのものである。

【0059】前記第2制御信号(A1~An)中のいずれか1つが論理ローであって、前記リセット信号(/リセット)が論理ハイであれば、前記フラグ信号は論理ハイになり遅延

12

同期ループ(図5の102)がイネーブルされる。

【0060】図8は、本発明の第2の実施の形態による内部クロック信号発生器の概略図である。

【0061】前記図8を参照すれば、位相同期ループ(PLL)202は同期遅延回路201と結合され、前記同期遅延回路201はクロックバッファ221、第1ダミークロック遅延部222、第1クロック遅延部223、及び比較部224を含み、前記同期遅延回路201の動作は前記図5とほとんど同一であるが、前記第1ダミークロック遅延部222の遅延時間が前記クロックバッファ221の遅延時間(d1)と前記クロックドライバ214の遅延時間(d2)の2倍(2(d1+d2))であることが異なる。前記同期遅延回路201はSDLであるが、その外にSMD、HPLD等を使用できる。

【0062】前記位相同期ループ202は、位相・周波数検出器211、低帯域濾波器212、第2ダミークロック遅延部213、クロックドライバ214、第2クロック遅延部215、及びインバータ217を含む。

【0063】前記第2クロック遅延部215は、直列に連結された多数の第2単位遅延手段216を含み第4クロック信号(CLK4)を出力する。

【0064】前記クロックドライバ214は、前記第4クロック信号(CLK4)を入力とし第2遅延時間(d2)遅延された内部クロック信号(Int.CLK)を出力する。

【0065】前記第2ダミークロック遅延部213は、前記内部クロック信号(Int.CLK)を前記第1遅延時間(d1)遅延させた第5クロック信号(CLK5)を出力するが、これは前記クロックバッファ221における外部クロック信号(Ext.CLK)に対する第1遅延時間(d1)を補償するためのものである。

【0066】前記インバータ217は、前記第5クロック信号(CLK5)を反転させ第6クロック信号(CLK6)を出力する。前記第6クロック信号(CLK6)は前記第2クロック遅延部215に入力され、前記第2クロック遅延部215、クロックドライバ214、第2ダミークロック遅延部213、及びインバータ217はリング発振器を構成する。したがって、前記第2単位遅延手段216の各遅延時間は前記第1単位遅延手段227の各遅延時間の1/2になる。

【0067】前記位相周波数検出器211は、前記第1クロック(CLK1)と前記第6クロック信号(CLK6)とを入力しこれらの位相差を検出する。前記低帯域濾波器212は、前記位相周波数検出器211の出力端に連結され前記第2単位遅延手段216の各遅延時間を制御するための制御電圧(Vcont)を発生する。

【0068】したがって、前記第2クロック遅延部215は前記第6クロック信号(CLK6)を入力し一定時間遅延された第4クロック信号(CLK4)を出力する。

【0069】この時に前記内部クロック信号(Int.CLK)が前記外部クロック信号(Ext.CLK)に同期されるために要求される第1ダミークロック遅延部222の遅延時間は、次の通りである。

50

13

【0070】まず前記第2クロック遅延部215の遅延時間を x とすれば、前記リング発振器では、次の(式1)が成立する。

$$(式1) \quad x + d1 + d2 = t_{CK}/2$$

したがって、前記 x は次の(式2)と同じである。

$$(式2) \quad x = (t_{CK}/2) - (d1 + d2)$$

第1クロック遅延部223の遅延時間は $2x$ であるから、前記第1ダミークロック遅延部222の遅延時間(y)は次の(式3)となる。

$$(式3) \quad y = t_{CK} - 2x$$

前記(式2)を前記(式3)に代入すれば、次の(式4)となる。

$$(式4) \quad y = 2(d1 + d2)$$

したがって、前記第1ダミークロック遅延部222は、クロックバッファ221の第1遅延時間($d1$)とクロックドライバ214の第2遅延時間($d2$)を合せた時間の2倍($2(d1 + d2)$)ほど前記第1クロック信号($CLK1$)を遅延させる回路で構成される必要がある。

【0071】以上、本発明はこれに限らず、多くの変形が本発明の技術的思想内で当分野で通常の知識を持った者によって可能なことは明白である。

【0072】

【発明の効果】前述した本発明によれば、同期遅延回路から外部クロックの位相と粗同期されたクロック信号を発生した後、遅延同期ループあるいはリング発振器構造の位相同期ループが前記外部クロック信号(Ext. CLK)にさらに精密同期された内部クロック信号を発生することにより、高速で精度よく同期可能な内部クロック信号発生器及びそれを有する半導体メモリ装置を提供できる。

【0073】

【図面の簡単な説明】

14

【図1】従来技術による遅延同期ループ(DLL)の概略図である。

【図2】従来技術による位相同期ループ(PLL)の概略図である。

【図3】従来技術による同期遅延線(SDL)の概略図である。

【図4】前記図3に示された同期遅延線(SDL)の動作状態を示したタイミング図である。

【図5】本発明の第1の実施の形態による内部クロック信号発生器の概略図である。

【図6】前記図5に示された同期遅延回路、第2クロック遅延部、及びクロックドライバの回路図である。

【図7】前記図5に示されたフラグ信号を発生するフラグ信号発生器の回路図である。

【図8】本発明の第2の実施の形態による内部クロック信号発生器の概略図である。

【符号の説明】

201 同期遅延回路

202 位相同期ループ

211 位相・周波数検出器

212 低帯域濾波器

213 第2ダミークロック遅延部

214 クロックドライバ

215 第2クロック遅延部

216 第2単位遅延手段

217 インバータバッファ

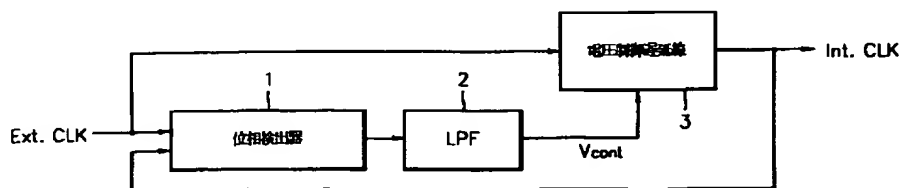
221 クロック

222 第1ダミークロック遅延部

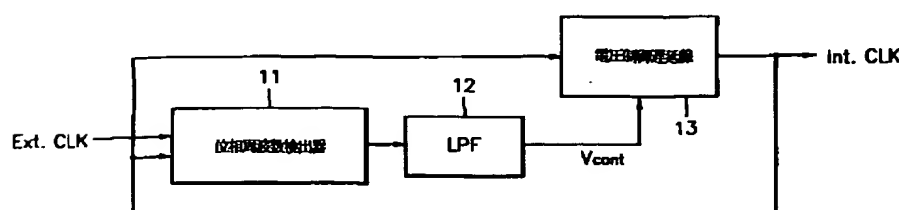
223 第1クロック遅延部

30 224 比較部

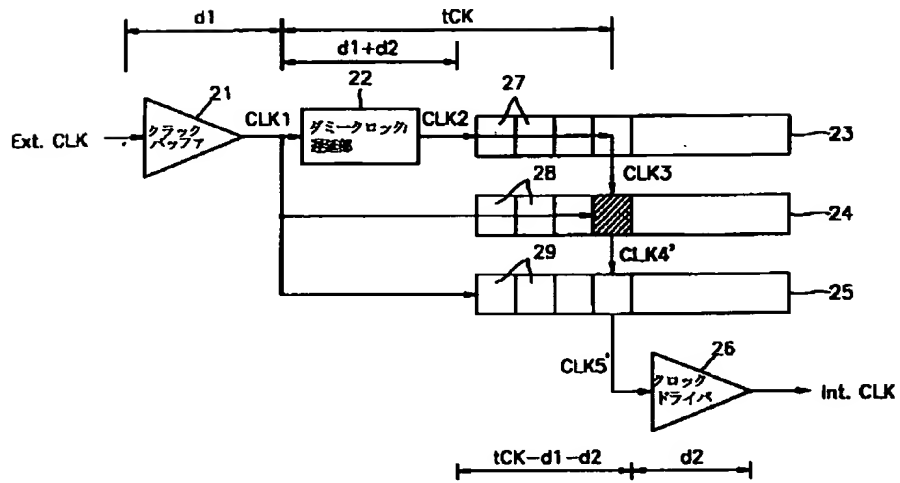
【図1】



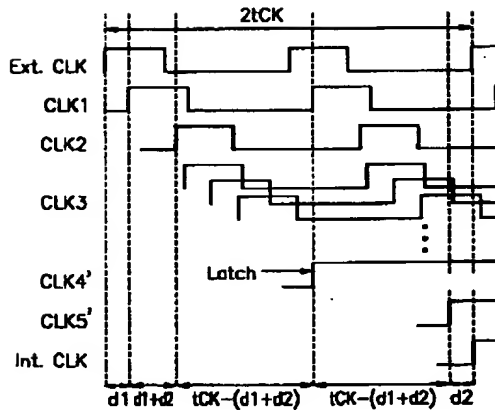
【図2】



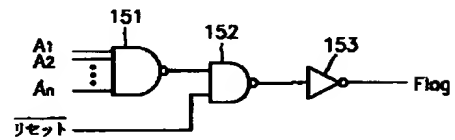
【図3】



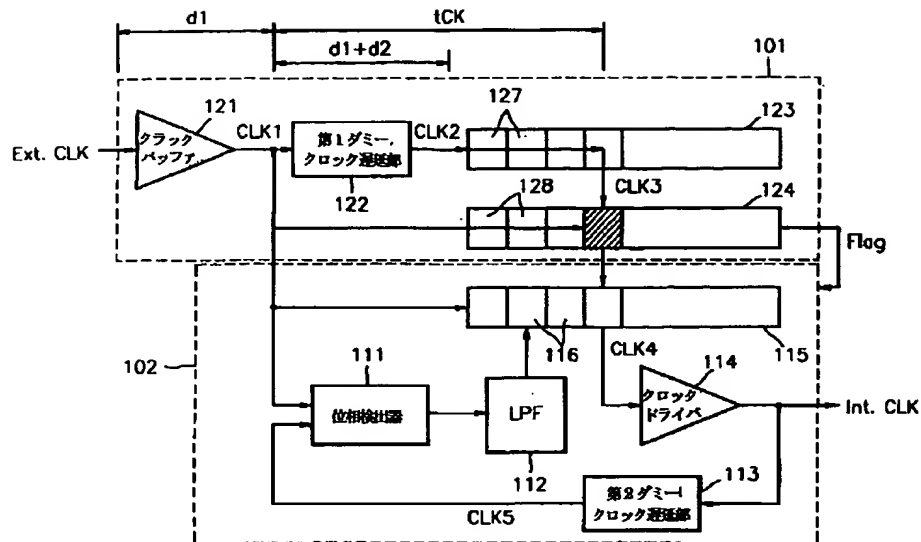
【図4】



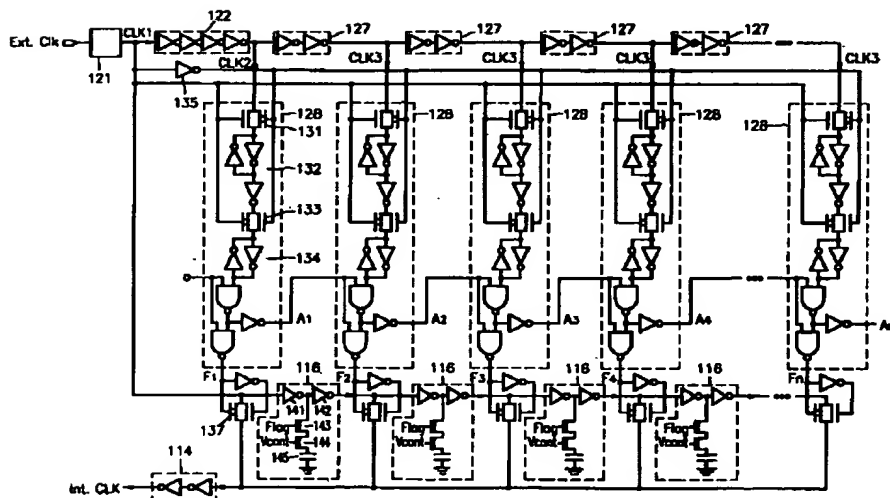
【図7】



【図5】



【図6】



【図8】

